

File 347:JAPIO Nov 1976-2005/Jan(Updated 050506)
(c) 2005 JPO & JAPIO

Set	Items	Description
---	-----	-----
?s pn=jp	2001126608	
S1	1	PN=JP 2001126608
?t s1/5/all		

1/5/1
DIALOG(R)File 347:JAPIO
(c) 2005 JPO & JAPIO. All rts. reserv.

06899098 **Image available**
SEMICONDUCTOR DEVICE FOR EMITTING ELECTRONS AND METHOD OF FABRICATING IT

PUB. NO.: 2001-126608 [*JP 2001126608* A]
PUBLISHED: May 11, 2001 (20010511)
INVENTOR(s): KANECHIKA MASAKAZU
 MITSUSHIMA KOICHI
APPLICANT(s): TOYOTA CENTRAL RES & DEV LAB INC
APPL. NO.: 11-301319 [JP 99301319]
FILED: October 22, 1999 (19991022)
INTL CLASS: H01J-001/304; H01J-009/02

ABSTRACT

PROBLEM TO BE SOLVED: To increase the number of the electrons emitted from a semiconductor device with stability.

SOLUTION: A needle emitter electrode 5 has a leasing end surrounded by an enclosure emitter electrode 9 with crown-shaped edges 13 and 15, which serves as electron emission surfaces together with the needle emitter electrode 5. Instead of the enclosure emitter electrode 9 or in its outside may be installed a conductive film for drawing the electrons. The conductive film is surrounded by a focusing electrode. The needle silicon body is surrounded by a conductive layer to form a mountain-like structure of which summit is removed by etching.

COPYRIGHT: (C)2001,JPO
?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-126608

(P2001-126608A)

(43) 公開日 平成13年5月11日 (2001.5.11)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 1 J 1/304
9/02H 0 1 J 9/02
1/30B
F

審査請求 未請求 請求項の数13 O L (全 12 頁)

(21) 出願番号 特願平11-301319

(22) 出願日 平成11年10月22日 (1999. 10. 22)

(71) 出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番
地の1

(72) 発明者 兼近 将一

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(72) 発明者 光嶋 康一

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(74) 代理人 100075258

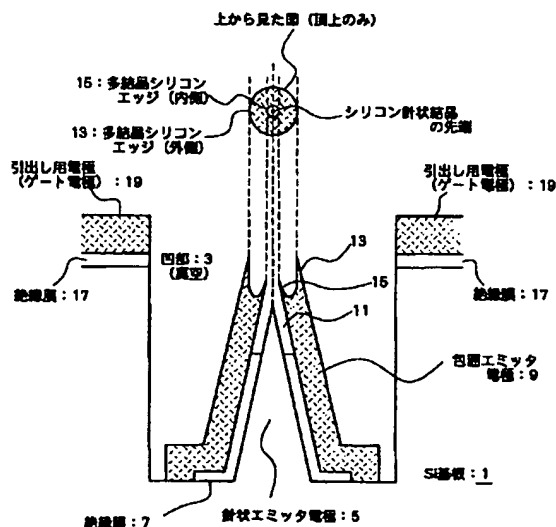
弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 電子放出用半導体装置およびその製造方法

(57) 【要約】

【課題】 電子放出量を増大するとともに電子放出を安定化する。

【解決手段】 針状エミッタ電極5は、先端に冠状エッジ13、15を有する包囲エミッタ電極9により囲まれている。針状エミッタ電極5の先端に加え、冠状エッジ13、15が電子放出面として機能するので、電子放出面積が大きくなる。包囲エミッタ電極9に代えて、あるいは包囲エミッタ電極9のさらに外側に電子引出し用電極用の導電膜を設けてもよい。電極の近接により駆動電圧を低減できる。電子引出し用電極のさらに外側を集束用電極で取り囲むことが好適である。製造方法に関しては、シリコン針状体の周囲に導電膜を形成した山形構造をつくり、その山形構造の頂上をエッチングで除去するという、簡便な製造方法を提供する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 シリコン針状体で構成される針状エミッタ電極と、

前記針状エミッタ電極の周囲を覆う少なくとも一重の導電膜で構成され、該導電膜の上部に前記シリコン針状体の先端部を取り囲む冠状エッジを有する包囲エミッタ電極と、

を含むことを特徴とする電子放出用半導体装置。

【請求項2】 シリコン針状体で構成される針状エミッタ電極と、

前記針状エミッタ電極の周囲を絶縁膜を介して覆う導電膜で構成された電子引出し用電極と、

を含むことを特徴とする電子放出用半導体装置。

【請求項3】 請求項2に記載の電子放出用半導体装置において、

さらに、前記電子引出し用電極の周囲を絶縁膜を介して覆う導電膜で構成され、前記エミッタ電極から放出される電子を集束させる電子集束用電極を含むことを特徴とする電子放出用半導体装置。

【請求項4】 請求項1に記載の電子放出用半導体装置において、

さらに、前記包囲エミッタ電極の周囲を絶縁膜を介して覆う導電膜で構成された電子引出し用電極を含むことを特徴とする電子放出用半導体装置。

【請求項5】 請求項4に記載の電子放出用半導体装置において、

さらに、前記電子引出し用電極の周囲を絶縁膜を介して覆う導電膜で構成され、前記エミッタ電極から放出される電子を集束させる電子集束用電極を含むことを特徴とする電子放出用半導体装置。

【請求項6】 電子放出用半導体装置の製造方法において、

シリコン針状体を針状エミッタ電極として形成する工程と、

前記シリコン針状体の周囲を覆う少なくとも一重の針周囲導電膜を形成する工程と、

前記シリコン針状体を前記針周囲導電膜で覆う山形構造における頂上の導電膜部分を除去して前記針状エミッタ電極を露出させる工程と、

を含むことを特徴とする電子放出用半導体装置の製造方法。

【請求項7】 請求項6に記載の電子放出用半導体装置の製造方法において、

前記頂上の導電膜部分を除去する工程ではエッチング処理が行われ、

前記山形構造の頂上ではレジスト膜厚が形成されにくいことを利用して前記頂上の導電膜部分が選択的に除去されることを特徴とする電子放出用半導体装置の製造方法。

【請求項8】 請求項7に記載の電子放出用半導体装置

の製造方法において、

前記レジスト膜はスピン塗布により形成することを特徴とする電子放出用半導体装置の製造方法。

【請求項9】 請求項6～8のいずれかに記載の電子放出用半導体装置の製造方法において、

前記針周囲導電膜は、前記針状エミッタ電極を取り囲む包囲エミッタ電極として形成され、

前記頂上導電膜部分をエッチングにより除去するとき、エッチング除去部分に前記シリコン針状体の先端部を取り囲む冠状エッジが形成されることを特徴とする電子放出用半導体装置の製造方法。

【請求項10】 請求項9に記載の電子放出用半導体装置の製造方法において、

エッチング除去部分の内周側および外周側に二重の冠状エッジを形成することを特徴とする電子放出用半導体装置の製造方法。

【請求項11】 請求項6～8のいずれかに記載の電子放出用半導体装置の製造方法において、

前記針周囲導電膜は電子引出し用電極として形成されることを特徴とする電子放出用半導体装置の製造方法。

【請求項12】 請求項11に記載の電子放出用半導体装置の製造方法において、

絶縁膜を介して前記電子引出し用電極を覆う別の針周囲導電膜が、前記針状エミッタ電極から放出される電子を集束させる電子集束用電極として形成されることを特徴とする電子放出用半導体装置の製造方法。

【請求項13】 請求項12に記載の電子放出用半導体装置の製造方法において、

前記シリコン針状体の周囲を二重の針周囲導電膜で覆う山形構造を形成してから、外側の針周囲導電膜より内側の針周囲導電膜を深い位置まで除去することにより、前記電子引出し用電極と前記電子集束用電極とを同時に形成することを特徴とする電子放出用半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フラットパネルディスプレイ等に用いられる電子放出用半導体装置およびその製造方法に関する。

【0002】

【従来の技術】電子放出素子を有する半導体装置は、フラットパネルディスプレイのフィールドエミッタアレイに用いることができ、また、小型真空管および高周波デバイスなどに用いることができ、その応用範囲は広い。図1は、電子放出素子の代表的な従来構造としてのSpin diode型素子を示している。先端が鋭利な構造体がエミッタとして設けられている。周囲の電子引出し用電極（ゲート電極）からの電界集中によってエミッタが真空中に電子を放出する。

【0003】例えば電子放出素子をフラットパネルディ

スプレイに用いる場合、エミッタ上方に、蛍光材を塗布したアノードを配置し、放出電子によって蛍光材を発光させる。いわゆるFED(Field Emission Display)である。

【0004】

【発明が解決しようとする課題】このような電子放出素子に求められる特性として、電子放出量（電流密度）が多く、しかも安定して電子が放出されることが挙げられる。

【0005】しかしながら、従来技術では、図1に示されるように、電子放出面が<点>状であり、面積が小さく、そのため電子放出量が比較的小さく、電子放出の安定性も高いとはいえない。例えば、電子を放出する真空内に酸素ガスおよび炭酸ガスなどが含まれており、それらのガス分子がエミッタ表面に吸着し、エミッタ表面の仕事関数が変動し、これが放出電流量の低下および電流の不安定化の要因になり得る。そして、フラットパネルディスプレイへの応用では蛍光材料発光の安定性の低下を招き、真空管等のスイッチング素子への応用では信号出力の安定性の低下を招く可能性がある。

【0006】また電子放出素子には、電子を放出するための駆動電圧をできるだけ低くすることが、消費電力の低減、動作速度の向上などの観点から望まれる。

【0007】さらに電子放出素子には、電子の放出方向を適切に制御することが望まれる。例えばフラットパネルディスプレイへの応用を考えると、エミッタから放出された電子がある有限の角度で分布する結果、発光させるべき蛍光材だけでなく、隣接する別の蛍光材が発光してしまうことがあり、画素制御が適切に行えない。このような現象を避けるために画素間隔を大きくする必要があり、これは高精度なディスプレイを提供する上で不利である。

【0008】本発明は上記課題に鑑みてなされたものであり、その目的の一つは、電子放出量を増大し、電子放出を安定化できる半導体装置を提供することにある。

【0009】本発明の他の目的は、電子放出のための駆動電圧を低減可能な半導体装置を提供することにある。

【0010】本発明のさらに他の目的は、電子の放出方向を適切に制御できる半導体装置を提供することにある。

【0011】また本発明のさらに他の目的は、上述した目的を達成できる半導体装置を製造する好適な方法を提供することにある。

【0012】

【課題を解決するための手段】（1）上記目的を達成するため、本発明の一態様の電子放出用半導体装置は、シリコン針状体で構成される針状エミッタ電極と、前記針状エミッタ電極の周囲を覆う少なくとも一重の導電膜で構成され、該導電膜の上部に前記シリコン針状体の先端部を取り囲む冠状エッジを有する包囲エミッタ電極と、

を含む。

【0013】本発明によれば、シリコン針状体の周囲を覆う導電膜の上部に冠状エッジが形成され、針状体の先端に加えて冠状エッジが電子放出面として機能する。したがって電子放出面を拡大することができ、これにより電子放出を安定化するとともに、電子放出量を増大することができる。

【0014】本発明の一態様の電子放出用半導体装置は、シリコン針状体で構成される針状エミッタ電極と、前記包囲エミッタ電極の周囲を絶縁膜を介して覆う導電膜で構成された電子引出し用電極と、を含む。

【0015】本発明によれば、エミッタ電極と電子引出し用電極（ゲート電極）とを近接させることができる。例えば針状エミッタ電極の周囲に、絶縁膜としての酸化膜を介して、電子引出し用電極としての導電膜を形成する。この場合、電極間距離をナノオーダーの精度で設定することができる。電極同士の近接により駆動電圧を低減することができる。

【0016】本発明の一態様の電子放出用半導体装置は、さらに、前記電子引出し用電極の周囲を絶縁膜を介して覆う導電膜で構成され、前記エミッタ電極から放出される電子を集束させる電子集束用電極を含む。

【0017】本発明によれば、電子引出し用電極の周囲を取り囲むように電子集束用電極を設けたので、放出された電子を集束することができる。例えばフラットパネルディスプレイにおいて、放出された電子が、発光対象の蛍光材だけでなく隣接する蛍光材を発光させるといった現象を抑制できる。これにより画素間隔の低減を図ることもできる。

【0018】（2）本発明の電子放出用半導体装置の製造方法は、シリコン針状体を針状エミッタ電極として形成する工程と、前記シリコン針状体の周囲を覆う少なくとも一重の針周囲導電膜を形成する工程と、前記シリコン針状体を前記針周囲導電膜で覆う山形構造における頂上の導電膜部分を除去して前記針状エミッタ電極を露出させる工程と、を含む。

【0019】好ましくは、前記頂上の導電膜部分を除去する工程ではエッチング処理が行われ、前記山形構造の頂上ではレジスト膜厚が形成されにくいことを利用して前記頂上の導電膜部分が選択的に除去される。好ましくは前記レジスト膜はスピン塗布により形成する。

【0020】本発明の一態様において、前記針周囲導電膜は、前記針状エミッタ電極を取り囲む包囲エミッタ電極として形成され、前記頂上導電膜部分をエッチングにより除去するとき、エッチング除去部分に前記シリコン針状体の先端部を取り囲む冠状エッジが形成される。好ましくは、エッチング除去部分の内周側および外周側に二重の冠状エッジを形成する。

【0021】本発明の一態様において、前記針周囲導電膜は電子引出し用電極として形成される。好ましくは、

絶縁膜を介して前記電子引出し用電極を覆う別の針周囲導電膜が、前記針状エミッタ電極から放出される電子を集束させる電子集束用電極として形成される。さらに好ましくは、前記シリコン針状体の周囲を二重の針周囲導電膜で覆う山形構造を形成してから、外側の針周囲導電膜より内側の針周囲導電膜を深い位置まで除去することにより、前記電子引出し用電極と前記電子集束用電極とを同時に形成する。

【0022】本発明によれば、シリコン針状体を導電膜で覆い、その導電膜をエミッタ電極、電子引出し用電極または集束用電極として機能させる半導体装置を容易に製造することができる。特に、本発明では、シリコン針状体を導電膜で覆った山形構造の頂上にレジスト膜が形成されにくいことに着目し、頂上部分を選択的にエッチング除去する。これにより適当な半導体装置を容易に製造できる。

【0023】また本発明において、シリコン針状体は、好ましくは、シリコン基板又はシリコン層中に形成された不純物析出領域をマイクロマスクとして、該シリコン基板またはシリコン層を高選択比異方性エッチングすることにより、前記マイクロマスクを頂点として形成された錐体構造物である。これにより先端が尖った細長い針状体を得られる。針状体のアスペクトも大きくできる。そして、針状体の周囲に導電膜を形成した半導体装置においては、その中心部分に適切な形状の針状体を備えることができる。

【0024】

【発明の実施の形態】以下、本発明の好適な実施の形態（以下、実施形態という）について、図面を参照し説明する。

【0025】＜実施形態1.＞図2は、本実施形態の電子放出用半導体装置を示す断面図である。シリコン基板1には凹部3が設けられ、凹部3は真空状態に保たれる。凹部3の底面から、シリコン針状体で構成される針状エミッタ電極5が突出している。

【0026】針状エミッタ電極5の周囲は絶縁膜7を介して包囲エミッタ電極9で覆われている。例えば絶縁膜7は熱酸化膜であり、包囲エミッタ電極9は、リンをドーパした多結晶シリコンの導電膜である。

【0027】絶縁膜7の上端は、針状エミッタ電極5の先端よりも低い適当な位置であり、下端は針状エミッタ電極5の根本に達している。そして包囲エミッタ電極9の先端付近の部分は、針状エミッタ電極5との間に隙間11をあけて設けられている。この隙間11は、後述するように絶縁膜7の一部を除去することで形成できる。

【0028】また包囲エミッタ電極9の先端部には、2つのリング状の冠状エッジ13、15が形成されている。冠状エッジ13、15は、それぞれ包囲エミッタ電極9の外周および内周に沿って形成されている。これら冠状エッジ13、15は、針状エミッタ電極5の先端部

を取り囲む同心円を形成する。これらの冠状エッジ13、15は、後述するように、包囲エミッタ電極9の多結晶シリコンの先端部をエッチングで除去することにより、除去部分の外側と内側に形成される。

【0029】一方、シリコン基板1の上面には、凹部3を囲むように、絶縁膜17を介して電子引出し用電極（ゲート電極）19が形成されている。例えば絶縁膜17は熱酸化膜であり、電子引出し用電極19は多結晶シリコンである。

【0030】図3（a）、図3（b）は、以上の電子放出用半導体装置をフラットパネルディスプレイに適用するときの構成例を示している。図3（a）に示すように、ゲート電極（電子引出し用電極）の複数の開口領域にそれぞれ上記の電子放出素子を形成する。図3（b）に示すように各開口領域（各凹部）に複数の電子放出素子が配置されてもよい。そして、この放出素子アレイ構造と対向するように、RGBの蛍光材料層を形成した基板が配置される。電子放出素子から放出された電子により蛍光材が発光する。フラットパネルディスプレイの他に、上記蛍光材の代わりにアノード電極を形成することにより、本実施形態の半導体装置は小型真空管などに用いることができる。

【0031】本実施形態の半導体装置によれば、針状エミッタ電極5の先端部と、包囲エミッタ電極9の冠状エッジ13、15が電子放出面として機能する。したがって、1つの電子放出素子の素子占有面積当たりの電子放出面積が増加し、その結果、電子放出量を増加し、放出電流を安定化することができる。

【0032】次に、図4～図6を参照し、本実施形態の半導体装置の製造方法の一例を説明する。なお、各工程の各種条件、数値などは例である。

【0033】本実施形態では電子放出素子の芯部に位置する針状エミッタ電極が非常に細いことが重要であり、この針状突起をもつ構造体を如何にして作るかが重要なポイントである。この点に関し、本発明者は、適切な針状突起をシリコンウエハに作る好適な方法を考案した。この方法では、単結晶シリコン基板又は単結晶シリコン層中に形成された不純物析出領域をマイクロマスクとし、シリコン基板又はシリコン層を高選択比異方性エッチングすることにより、マイクロマスクを頂点とする錐体構造を突設形成する。なお、上記の針状結晶およびそれを用いた半導体装置の製法については、本出願人による特願平10-313976号に開示されており、この出願をここに参照として組み込む。

【0034】図4の工程（1）～図5の工程（5）は、上記の原理に従い針状エミッタ電極を作製するための処理を示している。

【0035】このうち工程（1）～（3）では、シリコン基板中にSiとNのナノオーダの化合物が作製される。工程（1）では、n型Si基板（不純物リン、 $\rho =$

0.011Ωcm、濃度 $3 \times 10^{18} \text{ cm}^{-3}$)に50nmの熱酸化膜を成長させる。工程(2)では窒素をイオン注入する。イオン注入条件は、加速エネルギー100keV(Rp=0.22μm)、ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ である。工程(3)では、1000℃、60分、雰囲気酸素中で熱処理する。これにより、基板中にイオン注入された窒素イオンはシリコン原子と結合して、ナノオーガのSiN化合物を形成すると考えられる。

【0036】工程(4)～(5)では、上記のSiN化合物を利用してシリコン針状結晶を形成する。工程

(4)では、シリコン針状結晶を作製したい領域の酸化膜をBHF(バッファドフッ酸)でウェットエッチングする。工程(5)では、SiNをマスクとしてシリコンがエッチングされやすい高選択比ドライエッチングを行う。ドライエッチングガスとしては、NF₃、HBr、HeおよびO₂を利用する。その後、エッチング時の堆積物除去のため20℃のBHFで30秒間ウェットエッチングする。

【0037】以上により、非常に細く、先端が尖っており、アスペクト比の大きいシリコン針状結晶が形成される。図4の例では、針の根本の径が約0.35μm、高さが約2.5μm、先端の角度が約10度、アスペクト比(縦横比)が約7.1である。エッチング条件によっては、アスペクト比を一定のまま針高さを10μmほど高くすることもできる。

【0038】次に、工程(6)～(10)では、上記の針状結晶の回りに包囲エミッタ電極を形成して、本実施形態の半導体装置を作製する。

【0039】工程(6)では、シリコン針状結晶に熱酸化膜を形成する。処理条件としては、酸化温度は900℃、酸化時間は15分、雰囲気はパイロジェニック(水素酸素混合気体)である。さらに、フォトリソグラフィーとフッ酸を用いたウェットエッチングにより熱酸化膜を加工、パターニングする。ここでは、シリコン針状結晶と、電子引出し用電極(ゲート電極)を形成する領域と、の熱酸化膜のみが残される。

【0040】工程(7)では、カバレッジのよい方法で多結晶シリコン膜を形成し、針状結晶を多結晶シリコン膜で覆った山形構造を得る。本実施形態では、減圧CVD法によって多結晶シリコンを堆積させる。膜厚は400nmに設定されている。その後、多結晶シリコンにリンをドーパ(拡散)する。リンの濃度は 10^{21} cm^{-3} 程度である。

【0041】工程(8)では、シリコン針状結晶の高さよりも若干薄くなるような条件でレジストをスピン塗布する。レジストは粘性11cPの標準的仕様のものであり、スピン回転数は5350rpmである。ここでは、以下に説明するように、レジストの性質を利用して、山形構造(針状結晶をシリコンで覆った部分)の頂上にレ

ジストが塗布されるのを避けている。

【0042】すなわち、レジストには、その粘性により、山形部分の頂上にはレジストが塗布されにくいという性質がある。山が高く、かつその頂上の面積が小さいほど、頂上にレジストが塗布されにくい。そして段差の上部ほどレジスト膜厚が薄くなり、頂部の膜厚は等および側面よりも小さくなる。

【0043】本実施形態では、シリコン針状体が非常に細長いので、針状体を多結晶シリコンで覆ったとき、山が高くなり、頂上が狭くなる。したがって、上記のレジストの性質を利用して、図示の如く、山形部分の頂上以外の部分にのみレジストを塗布することができる。レジスト膜は上方に行くほど薄くなる。

【0044】さらに工程(8)では、フォトリソグラフィによってゲート電極およびシリコン針状結晶近傍を除く領域のレジストを除去する。

【0045】図6に移り、工程(9)では、多結晶シリコンがエッチングされやすい条件でドライエッチングする。ガスとしては、Cl₂やHBrを用いる。シリコン針状結晶の先端にはレジストが塗布されていないので、先端の多結晶シリコンがエッチングされる。ここでは、針状結晶を覆う熱酸化膜が見えるところまでエッチングが行われる。

【0046】工程(10)では、レジストをキャロス洗浄によって除去する。さらに、多結晶シリコンとシリコン針状結晶との間の熱酸化膜をBHFによって除去する。これによりシリコン針状結晶が露出する。条件としては、BHFは温度20℃で、エッチング時間は5分(250nmの熱酸化膜のエッチング相当時間)である。

【0047】工程(9)～(10)にて、針状結晶を取り囲む二重リング型の鋭利な冠状エッジがシリコン針状結晶に形成される。エッチングでは、多結晶シリコンの頂上部がえぐり取るように除去される。中心の熱酸化膜の周囲でエッチングの進行が鈍る。その結果、図示のように2つの冠状エッジがエッチング領域の外周および内周に沿って形成される。すなわち、多結晶シリコンの外周とその外側のレジストの接触する部分に外側の冠状エッジが形成される。同じく、多結晶シリコンとその内側の熱酸化膜が接触する部分に内側の冠状エッジが形成される。

【0048】図7は、上記の方法で作製した半導体素子のTEM写真であり、図2に示した所望の構造の半導体素子が実現されている。

【0049】以上に説明したように、本実施形態の製造方法によれば、シリコン針状体の周囲を導電膜で覆う山形構造を形成してから、山形構造の頂上の導電膜部分を除去する。これにより、中央の針状エミッタ電極が露出するとともに、周囲のエミッタ電極に環状のエッジが形成される。したがって、少ない工程数にて容易に本実施

形態の半導体装置を得られる。

【0050】特に本実施形態では、シリコン針状結晶の構造的特徴を活用したレジスト塗布を行っている。細く高い山形構造の頂上にはレジスト膜が形成されにくいことに着目し、頂上部分へのレジスト塗布を避け、この部分を選択的にエッチング除去する。特徴的なレジスト塗布により自動的にエッジが形成されている。通常のフォトリソグラフィでは得られないような微細なエッジ形状を容易につくり出すことができる。

【0051】本実施形態は、本発明の範囲内で任意に変形可能なことはもちろんである。例えば、図2の包囲エミッタ電極9は、多結晶シリコン以外の導電性を有する材料に置き換えられてもよく、例えばアモルファスシリコンでもよい。また、本実施形態では、針状エミッタ電極5と包囲エミッタ電極9の間に絶縁膜7が設けられている。この部分の膜はシリコン窒化物でもよく、また絶縁膜でなくてもよい。ただし本実施形態では、上記の製造方法を適用した結果として、絶縁性の熱酸化膜が設けられている。

【0052】また、本実施形態では、1つの層の包囲エミッタ電極9が設けられている。しかしながら複数層の包囲エミッタ電極9が設けられてもよい。好適には、図4～図6の製造過程において、多結晶シリコンを堆積した段階で、さらに熱酸化膜および多結晶シリコンを堆積する。ここで所望の数の多結晶シリコン層を形成する。それから、多結晶シリコンで覆われた山形構造の先端部分を加工することによって、多重リング状の電子放出面（3層以上）を形成する。これにより、さらに電子放出面積を拡大し、電子放出量を増大することができる。

【0053】また本実施形態で作製した電子放出素子の多結晶シリコン上および針状エミッタ電極にカーボンなどの電子を放出しやすい物質をコーティングすることも好適であり、さらなる特性の向上を図ることができる。以下の他の実施形態においても同様である。

【0054】＜実施形態2＞図8は、本実施形態の半導体装置を示している。この半導体装置は、図2に示される上述の実施形態と基本的に同様の構造を有している。製造方法も、図4～図6を参照して説明した上述の実施形態と基本的に同じである。ただし、上述の実施形態との相違点として、針状エミッタ電極5の周囲の多結晶シリコン層が、エミッタ電極ではなく電子引出し用電極（ゲート電極）21として機能する。それに伴い、電子引出し用電極21として必要な配線（図示せず）がパターンニングにより形成されている。また実施形態1のような基板上部のゲート電極は不要であり、そしてシリコン基板に凹部が設けられていなくてよい。

【0055】本実施形態によれば、針状エミッタ電極5と電子引出し用電極21とを近接させることができる。絶縁膜7の膜厚制御によって容易に電極間距離（電子引出し用電極とエミッタ先端）を調整でき、所望の電極間

距離が得られる。例えば熱酸化膜を適用する場合、膜形成プロセスでは一般に膜厚をナノオーダーの精度で制御可能である。そして電極間距離の低減により、電子を放出させるための駆動電圧（印可電圧）を下げることができる。

【0056】本実施形態も、上述の実施形態と同様に本発明の範囲内で任意に変形可能なことはもちろんである。例えば、電子引出し用電極21は、多結晶シリコン以外の導電性を有する材料に置き換えられてもよく、例えばアモルファスシリコンでもよい。ただし、上述の実施形態では絶縁膜7が導電材で置き換えられてもよかったが、本実施形態では絶縁性が必要である。

【0057】別の変形例では、針状エミッタ電極の周囲に包囲エミッタ電極を形成し、さらに外側を覆うように電子引出し用電極を形成してもよい。図2の放出素子の外側に電子引出し用電極を被せた構成である。複数層の包囲エミッタ電極が設けられてもよい。製造方法としては、複数の導電層を針状エミッタ電極の回りに形成する。内側にある導電層（2以上でもよい）を包囲エミッタ電極とし、包囲エミッタ電極の外側の導電層を電子引出し用電極とする。

【0058】＜実施形態3＞図9は、本実施形態の電子放出用半導体装置を示す断面図である。本実施形態では、上述の実施形態の半導体装置がさらに改良される。ここでは、針状エミッタ電極の周囲に電子引出し用電極が設けられ、さらに外側に電子集束用電極が設けられる。

【0059】図9を参照すると、シリコン基板31から真空中に、シリコン針状体で構成される針状エミッタ電極35が突出している。

【0060】針状エミッタ電極35の周囲は第一の絶縁膜37を介して、第一の導電膜としての電子引出し用電極（ゲート電極）39で覆われている。例えば絶縁膜37は熱酸化膜であり、電子引出し用電極39はリンをドーピングした多結晶シリコンである。エミッタの周囲を電子引出し用電極39で覆う点では、上述の図8の実施形態と同様である。

【0061】第一の絶縁膜37の上端は、針状エミッタ電極35の先端よりも低い適当な位置であり、下端は針状エミッタ電極35の根本に達している。電子引出し用電極39の先端付近の部分は、針状エミッタ電極35との間に隙間41をあけて設けられている。この隙間41は、後述するように絶縁膜37の一部を除去することで形成できる。

【0062】本実施形態では、電子引出し用電極39のさらに外側が、第二の絶縁膜43を介して、第二の導電膜としての電子集束用電極45で覆われている。例えば第二の絶縁膜43は窒化シリコンであり、電子集束用電極45はリンドーピングした多結晶シリコンである。第二の絶縁膜43は、電子引出し用電極39と電子集束用電極

45との間の電流の流れを防いでいる。

【0063】電子集束用電極45の上端には、リング形の鋭利な冠状エッジ47が形成されている。冠状エッジ47は電子集束用電極45の外周に沿って設けられている。上述の電子引出し用電極39の上端にも、その内周に沿って小型の冠状エッジ49が形成されている。電子集束用電極45の冠状エッジ47（外側）の方が、電子引出し用電極39の冠状エッジ49（内側）よりも大きく、高い。そして、電子集束用電極45の頂上面が電子引出し用電極39の頂上面より上側に位置している。

【0064】上記の電子放出素子においては、第一の導電膜としての電子引出し用電極39が、針状エミッタ電極35から電子を放出させる。すなわち、電子引出し用電極39に駆動電圧を印可すると、電界集中によって針状エミッタ電極35から真空中に電子が放出される。さらに、第二の導電膜としての電子集束用電極45が、電子引出し用電極39の上に位置しており、針状エミッタ電極35から放出された電子を集束させる。

【0065】本実施形態によれば、上述の実施形態と同様、電子引出し用電極39を針状エミッタ電極35に近接させたので、駆動電圧を低くできる。しかも、電子引出し用電極39とは別に電子集束用電極45を設けたことにより、放出した電子を集束できる。したがって駆動電圧が低く、かつ、放出電子を適当に集束できる好適な半導体装置を提供できる。

【0066】本実施形態の電子放出素子は、上述の実施形態と同様に、図3に例示するようなフラットパネルディスプレイに組み込み、フィールドエミッタアレイとして利用できる。この場合、集束性の向上により、発光対象の蛍光材に隣接する別の蛍光材が発光するのを効果的に防止できる。したがって画素制御に優れたフィールドエミッタアレイを提供できる。そして本発明は画素間隔の縮小にも寄与することができる。

【0067】次に、図10～図12を参照し、本実施形態の半導体装置の製造方法の一例を説明する。図4～図6に関して説明した製造方法と共通する事項の説明は適宜省略する。また、各工程における各種条件、数値などは例である。

【0068】図10の工程（1）～図11の工程（4）では、前述した特徴的な方法でシリコン針状結晶が形成される。工程（1）ではn型Si基板に窒素をイオン注入し、工程（2）では熱処理を行う。これにより基板中にナノオーダのSiN化合物が形成されと考えられる。工程（3）では酸化膜をBHF（パッファドフッ酸）でウェットエッチングする。工程（4）では、SiNをマスクとして、シリコンがSiNより十分にエッチングされやすい高選択比ドライエッチングを行う。その後、エッチング時の堆積物除去のためBHFでウェットエッチングする。以上により、前述の実施形態と同様に非常に細い針状結晶が形成される。

【0069】次に、工程（5）～（10）では、上記の針状結晶の回りに複数の導電膜を形成して、本実施形態の半導体装置を作製する。

【0070】工程（5）では、シリコン針状結晶に熱酸化膜（第一の絶縁膜）を形成する。膜厚は約100nmである。工程（6）では多結晶シリコン膜（第一の導電膜）を形成する。ここでは減圧CVD法により多結晶シリコンを堆積させる。膜厚は150nmである。その後、多結晶シリコンにリンをドーピングする。リンの濃度は 10^{21}cm^{-3} 程度である。この多結晶シリコンが後に電子放出の引出し用電極（ゲート電極）となる。

【0071】工程（7）では、減圧CVD法により窒化シリコン膜（第二の絶縁膜）を堆積する。膜厚は100nmである。その後、再び減圧CVD法により多結晶シリコン（第二の導電膜）を堆積させる。膜厚は150nmである。そしてこの多結晶シリコンにリンをドーピングして導電性を与える。リンの密度が 10^{21}cm^{-3} 程度になるように処理条件が設定される。

【0072】図12に移り、工程（8）では、工程（7）までで形成した凸型の構造の高さよりも薄く塗布されるような条件でレジストをスピン塗布する。レジストは粘性11cPの標準的仕様のものであり、スピン回転数は5350rpmである。

【0073】ここでは、上述の実施形態で説明したように、針状結晶の構造的特徴とレジストの特性を利用して、山形部分の頂上へのレジスト膜の形成を抑制している。すなわち、本実施形態では非常に細い針状結晶を提供できるので、針状結晶をシリコン膜で覆うと、高くて頂上が狭い山が形成される。このような山形構造にレジストをスピン塗布すると、図示のように、段差の上部ほどレジスト膜が薄くなり、頂上にはレジスト膜が塗布されない。したがって山形構造の頂上以外の部分にレジストを塗布できる。

【0074】工程（9）では、「多結晶シリコンおよび窒化シリコン」が「熱酸化膜およびレジスト」よりエッチングされやすい条件でドライエッチングする。ドライエッチングは、シリコン針状結晶に形成した熱酸化膜が露出する程度まで行う。これにより、針状結晶頂上付近にて、2層の多結晶シリコン膜およびそれらの間の窒化シリコン膜が加工され、除去される。

【0075】次に、工程（10）では、レジストを除去し、フッ酸によって熱酸化膜をウェットエッチングする。エッチング量は数100nmである。これにより、針状シリコン結晶が露出する。酸化膜の除去により、針状シリコン結晶とその周囲の多結晶シリコンとの間に隙間がつくられる。また、窒化シリコン膜も多少エッチングされ、2層の多結晶シリコン膜の間にも多少の隙間がつくられるが、問題はない範囲である。

【0076】工程（9）～（10）では、多結晶シリコンの山形構造の頂上部分がえぐり取るように除去され

る。レジストに近い部分である頂上周囲（矢印、レジストが薄くなっている所）はエッチングされにくく、レジストがない頂上中央部ではエッチングが進む。外側の多結晶シリコンには冠状エッジが形成される。このようなエッチングが行われる結果、外側の多結晶シリコン（第二の導電膜）の上端が内側の多結晶シリコン（第一の導電膜）より上に位置し、したがって第二の導電膜を電子集束用電極として機能させることができる。

【0077】以上に本実施形態による半導体装置の製造方法を説明した。本実施形態では、シリコン針状結晶の周囲に複数の導電膜を形成して山形構造を作り、その山形構造の頂上部分を加工する。これにより、電子引出し用電極および集束用電極を同時に作製する。より詳細には、第一の絶縁膜、第一の導電膜、第二の絶縁膜および第二の導電膜を順番に形成する。それから、第一の絶縁膜の頂上が露出するところまで、第一の導電膜、第二の絶縁膜および第二の導電膜をエッチングし、さらに第一の絶縁膜のみをエッチングする。これにより電子引出し用電極と集束用電極が同時に形成される。

【0078】この実施形態に見られるように、本発明によれば、簡便な製造方法によって、電子引出し用電極および集束用電極を針状エミッタ電極の周囲に形成することができ、そして駆動電圧が低く画素制御に優れたフィールドエミッタアレイを実現できる。もちろん、フィールドエミッタアレイ以外に本発明の半導体装置が適用されてもよい。

【0079】また、本実施形態は、エミッタ電極、電子引出し用電極および集束用電極の間隔をそれぞれの絶縁膜の膜厚制御で容易に調整できる点で有利である。

【0080】さらに、本実施形態では、上述の実施形態でも説明したように、シリコン針状結晶の構造的特徴を活用したレジスト塗布を行っている。すなわち、シリコン針状結晶を芯部にもつ山形構造は細く高い。このような山形構造の頂上にはレジスト膜が形成されにくい。この点に着目し、頂上部分へのレジスト塗布を抑制し、この部分を選択的にエッチング除去する。特徴的なレジスト塗布により、電極形状、特に集束用電極の先端の鋭利な冠状エッジが自動的に形成されている。通常のフォトリソグラフィでは得られないような微細なエッジ形状が容易に形成可能である。

【0081】なお、本実施形態も、上述の他の実施形態

と同様に、本発明の範囲内での任意に変形可能なことはもちろんである。例えば、電子引出し用電極および集束用電極の一方または両方が多結晶シリコン以外の導電性を有する材料（例えばアモルファスシリコン）に置き換えられてもよい。

【0082】前述の実施形態に関連して説明したように、針状エミッタ電極の周囲に包囲エミッタ電極が設けられ、さらにその周囲に電子引出し用電極および電子集束用電極が設けられてもよい。包囲エミッタ電極は複数層であってもよい。

【図面の簡単な説明】

【図1】 従来の典型的な電子放出用半導体装置を示す図である。

【図2】 本発明の実施形態1の電子放出用半導体装置を示す断面図である。

【図3】 図2の半導体装置を備えたフラットパネルディスプレイの構成例を示す図である。

【図4】 図2の半導体装置の製造方法を示す第一の図である。

【図5】 図2の半導体装置の製造方法を示す第二の図である。

【図6】 図2の半導体装置の製造方法を示す第三の図である。

【図7】 図4～図6の方法でつくられた半導体素子の顕微鏡写真である。

【図8】 本発明の実施形態2の電子放出用半導体装置を示す断面図である。

【図9】 本発明の実施形態3の電子放出用半導体装置を示す断面図である。

【図10】 図9の半導体装置の製造方法を示す第一の図である。

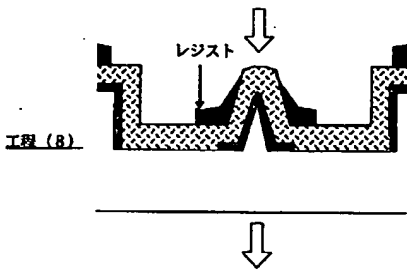
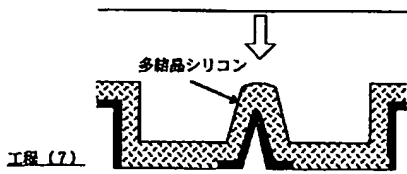
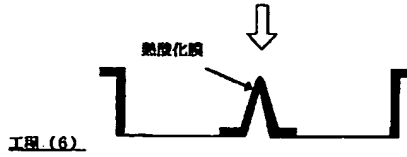
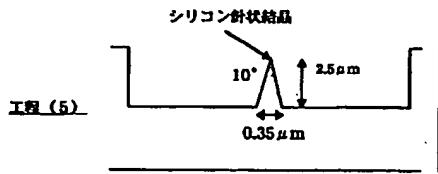
【図11】 図9の半導体装置の製造方法を示す第二の図である。

【図12】 図9の半導体装置の製造方法を示す第三の図である。

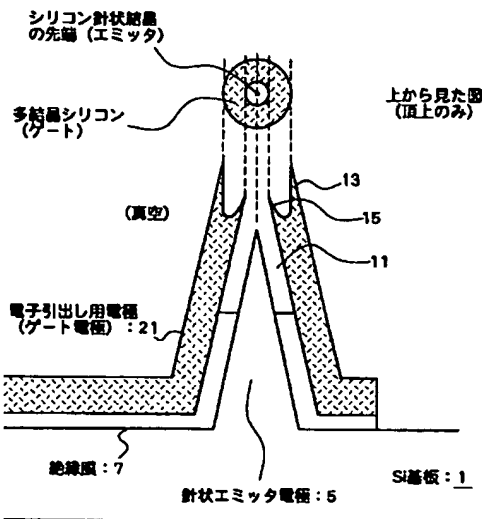
【符号の説明】

1, 31 シリコン基板、5, 35 針状エミッタ電極、7 絶縁膜、9 包囲エミッタ電極、13, 15 冠状エッジ、19, 21, 39 電子引出し用電極、37 第一の絶縁膜、43 第二の絶縁膜、45 電子集束用電極、47, 49 冠状エッジ。

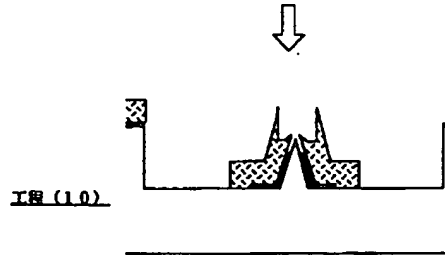
【図5】



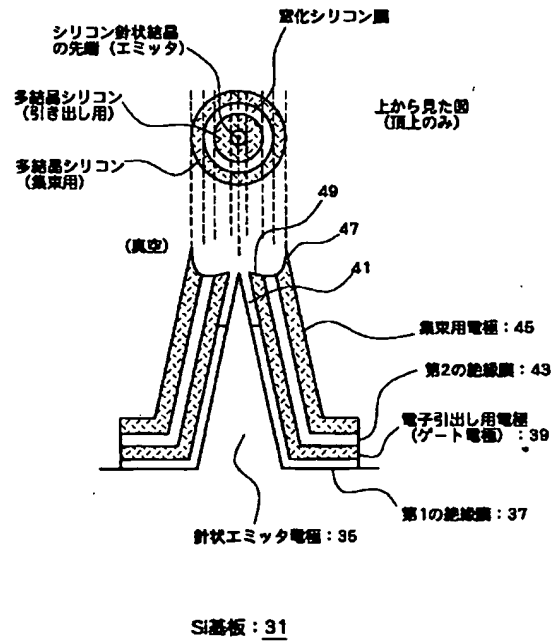
【図8】



【図6】

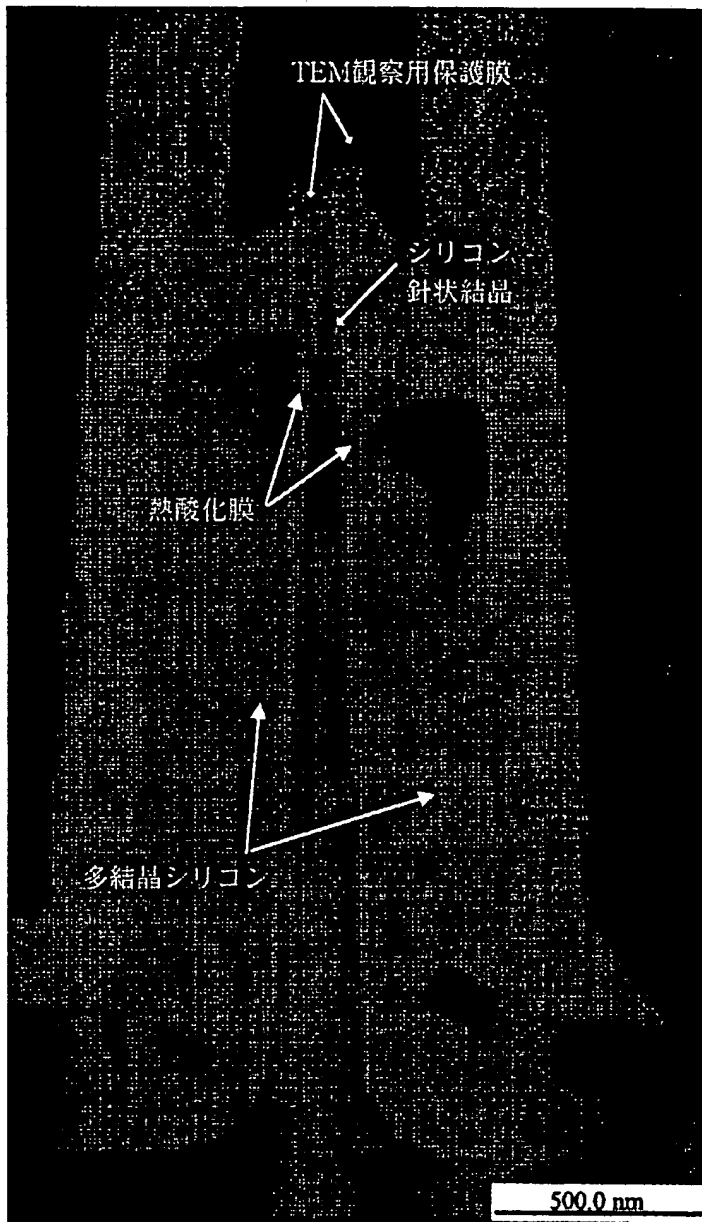


【図9】



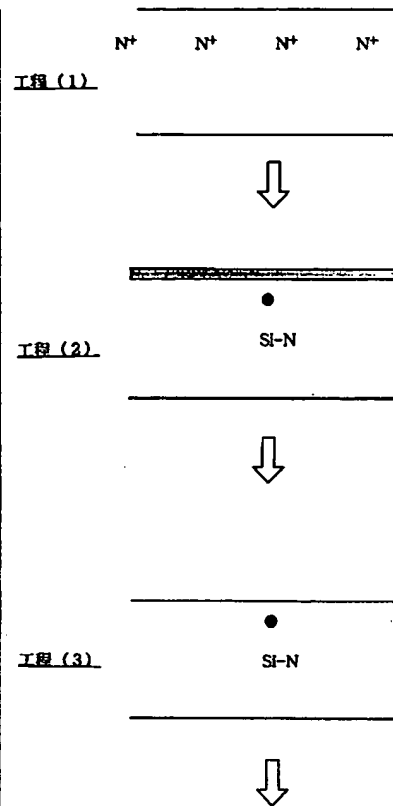
BEST AVAILABLE COPY

【図7】



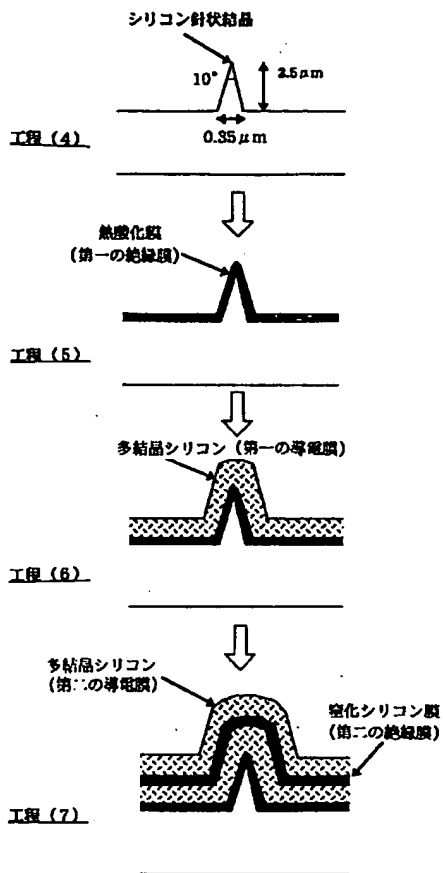
針状結晶先端部のTEM観察

【図10】



BEST AVAILABLE COPY

【図 11】



【図 12】

